

[12] 发明专利说明书

[21] ZL 专利号 96107139.7

[45] 授权公告日 2002 年 4 月 10 日

[11] 授权公告号 CN 1082719C

[22] 申请日 1996. 6. 27 [24] 颁证日 2002. 4. 10

[21] 申请号 96107139.7

[30] 优先权

[32] 1995. 7. 14 [33] JP [31] 178523/95

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 长野能久 藤井英治

那须徹 松田明浩

[56] 参考文献

US 5294292A 1994. 3. 15 B44C1/22

US 5335138A 1994. 8. 2 H01L27/00

US 5397432A 1995. 3. 14 H01L21/00

审查员 唐跃强

[74] 专利代理机构 上海专利商标事务所

代理人 赵国华

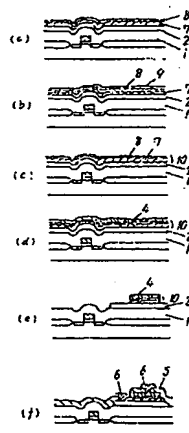
BEST AVAILABLE COPY

权利要求书 1 页 说明书 5 页 附图页数 3 页

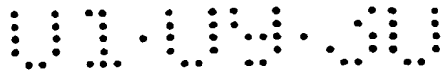
[54] 发明名称 半导体器件的制造方法

[57] 摘要

本发明涉及内含以高介电常数电介质或强电介质作为电容绝缘膜的电容元件的半导体器件制造方法,目的在于解决现有半导体器件内含的电容绝缘膜表面凹凸不平造成绝缘耐压低、电气特性误差大、配线断线问题,形成第一电介质膜后,在其上面沉积厚度超过其表面凸部与凹部落差的第二电介质膜,再在该第二电介质膜上面使其表面保持平整来沉积蚀刻速度与第二电介质膜蚀刻速度相等的薄膜,再同时蚀刻除去该薄膜全部和第二电介质膜的部分,使第二电介质膜表面成为平滑面,形成电容绝缘膜。



4 7 2 4 - 8 0 0 1 N S S I



权 利 要 求 书

1. 一种内含以电介质作为电容绝缘膜的电容元件的半导体器件制造方法，其特征在于，形成第一电介质膜后，在所述第一电介质膜上面沉积厚度超过该第一电介质膜表面凸部与凹部落差的第二电介质膜；然后在所述第二电介质膜上面使其表面保持平整来沉积蚀刻速度与该第二电介质膜蚀刻速度相同的薄膜，同时蚀刻除去所述薄膜全部与所述第二电介质膜的部分，使第二电介质膜表面成为平滑面，形成所述电容绝缘膜。

2. 如权利要求 1 所述的半导体器件制造方法，其特征在于，第一电介质膜或第二电介质膜由高介电常数的电介质或强电介质制成。

3. 如权利要求 1 或 2 所述的半导体器件制造方法，其特征在于，薄膜由高介电常数的电介质膜或强电介质膜制成。

4. 如权利要求 1 所述的半导体器件制造方法，其特征在于，蚀刻工序采用利用卤素气体进行的干蚀刻法。

5. 如权利要求 1 所述的半导体器件制造方法，其特征在于，蚀刻工序采用利用酸性液体进行的湿蚀刻法。

说明书

半导体器件的制造方法

本发明涉及一种半导体器件的制造方法，该半导体器件内含以高介电常数的电介质或强电介质作为电容绝缘膜的电容元件。

近年微型计算机等信息处理高速化和电器低耗电趋势推进过程中，民用电器功能进一步提高，所用半导体器件也迅速促进了其半导体元件的布线图版的细微化。随之造成电磁波噪声的电器所产生的额外辐射成大问题，作为减少这种额外辐射的措施，半导体集成电路等当中内含以高介电常数的电介质(以下简称高电介质)作为电容绝缘膜的大容量电容元件的技术受到关注。而且，随着动态 RAM 的高集成化，以高电介质替代现有硅氧化物或氮化物用作电容绝缘膜的技术正得到广泛研究。而且，以低工作电压、可高速写入读出的非易失 RAM 实用化为目的，盛行具有自发极化特性的强电介质膜的研究开发。

以下参照附图说明现有半导体器件制造方法。图 3(a)—(f)是示意现有半导体器件制造工序的半导体器件剖面图，1 是在形成有半导体集成电路的支持基板表面上所覆盖的层间绝缘膜，2 是电容元件用的下电极，3 是高电介质或强电介质(以下统称为电介质)所制成的电容绝缘膜，4 是电容元件用的上电极，5 是电容元件用的保护绝缘膜，6 是金属布线。

先如图 3(a)所示，在形成有半导体集成电路的支持基板表面所覆盖的层间绝缘膜 1 上形成电容元件用下电极 2，接下来如图 3(b)所示，在电容元件用下电极 2 的上面沉积构成电容绝缘膜 3 的电介质膜，然后如图 3(c)所示，在含氧的气氛中烧结，使得电介质结晶。这时晶粒大小是直径约 100nm。接着如图 3(d)所示，在结晶的电容绝缘膜 3 上形成电容元件用上电极 4。接下来如图 3(e)所示用相同掩模对电容元件用上电极 4 和电容绝缘膜 3 有选择地

蚀刻，再对电容元件用下电极有选择地蚀刻。接着如图 3(f)所示整体形成电容元件用保护绝缘膜 5，然后在电容元件用绝缘保护膜 5 上分别设置到达电容元件用下电极 2 的开口部和到达电容元件用上电极 4 的开口部，在该开口部分别配置金属布线 6 来形成电容元件。

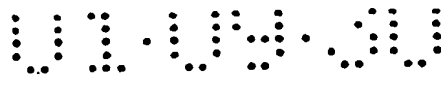
但上述现有制造方法中，对于高电介质来说要得到足够高的介电常数，或对于强电介质来说要确保足够的自发极化量，电容绝缘膜 3 需要形成最低得有约 100nm 粒径的晶粒，就平均厚度约 200nm 大小的电容绝缘膜 3 而言，强电介质膜的晶粒大小与电容绝缘膜所需的厚度相比较，显得过大。因此，强电介质膜表面凹凸较大，用这种强电介质膜制作电容元件时，存在绝缘耐压较低，或是介电常数或自发极化量等电气特性产生较大误差，或是形成于电容绝缘膜 3 上的布线产生断线这种问题，进而有内含这类电容元件的半导体器件可靠性变低等问题。

本发明目的在于提供一种通过使电容绝缘膜平整来获得内含优异电气特性的电容元件的半导体器件，并且可以防止电容元件金属布线断线的半导体器件制造方法。

本发明方法是在形成第一电介质膜后，在第一电介质膜上面沉积厚度超过该第一电介质膜表面凸部与凹部落差的第二电介质，接着在该第二电介质膜上面使薄膜表面保持平整来沉积与第二电介质膜蚀刻速度同等蚀刻速度的薄膜，通过同时蚀刻除去该薄膜的全部和第二电介质膜的部分，形成具有平滑表面的第二电介质膜的电容绝缘膜。

再者，第一电介质膜或第二电介质膜或薄膜，采用具有高介电常数的电介质或强电介质，而且蚀刻工序采用靠卤素气体进行的干蚀刻法或酸性溶液进行的湿蚀刻法。

按照本发明，在第二电介质膜上面形成具有与第二电介质膜蚀刻速度相同蚀刻速度的薄膜，再将该薄膜的全部与第二电介质的部分同时蚀刻除去，因而可以使第一电介质膜和第二电介质膜构



成的电容绝缘膜表面平整。可以通过此方法提高电容元件的绝缘耐压，还可以抑制介电常数、自发极化量等电气特性误差。此外，可以防止电容元件上布线断线，因而可以制造具有高可靠性的半导体器件。

图 1(a)一(f)是示意本发明一实施例制造方法的半导体器件剖面图。

图 2 是将本发明实施例与现有例半导体器件电气特性对比的特性图。

图 3(a)一(f)是示意现有制造方法的半导体器件剖面图。

参照图 1、图 2，并且与图 3 所示现有半导体器件相同部分用相同标号说明本发明一实施例。

图 1(a)一(d)是本发明一实施例半导体器件制造方法的后级工序的半导体器件剖面图，在形成有半导体集成电路的支持基板表面所覆盖的层间绝缘膜 1 上面形成电容元件用下电极 2、第一电介质膜 7 以前工序与图 3(a)所示的现有工序相同。

另外图 1 中，8 是由与第一电介质膜 3 相同的高电介质或强电介质制成的第二电介质膜，具有超过第一电介质膜 7 凸部和凹部落差的膜厚。9 是与该第二电介质膜 8 蚀刻速度相同蚀刻速度的材料制成的薄膜，10 是通过蚀刻将薄膜 9 全部和第二电介质膜 8 凸出的部分除去、其表面完全被平整、与第一电介质膜 7 成一体电容绝缘膜。

接下来更详细说明其制造方法。首先如上所述，按与以往相同的方法，在做进了半导体集成电路的支持基板表面所覆盖的层间绝缘膜 1 上形成电容元件用下电极 2，接着沉积第一电介质膜 7，然后在含氧气氛中以约 600—800℃温度烧结，使该电介质结晶。接下来，如图 1(a)所示，用与第一电介质膜 7 相同的电介质材料在第一电介质膜 7 上沉积膜厚超过第一电介质膜 7 凸部与凹部落差的第二电介质膜 8，与第一电介质膜 7 相同，在含氧气氛中以约 600—800℃温度、但比第一电介质膜 7 烧结温度低的温度烧结、

A 7x7 grid of dots forming the letters 'U', 'I', 'U', 'A', 'I'. The grid is composed of black dots on a white background. The letters are formed by the following dot patterns (row by row):

- Row 1: U (1,1), U (1,2), U (1,3), I (1,4), I (1,5), U (1,6), U (1,7), A (1,8), A (1,9), I (1,10), I (1,11)
- Row 2: U (2,1), U (2,2), U (2,3), I (2,4), I (2,5), U (2,6), U (2,7), A (2,8), A (2,9), I (2,10), I (2,11)
- Row 3: U (3,1), U (3,2), U (3,3), I (3,4), I (3,5), U (3,6), U (3,7), A (3,8), A (3,9), I (3,10), I (3,11)
- Row 4: U (4,1), U (4,2), U (4,3), I (4,4), I (4,5), U (4,6), U (4,7), A (4,8), A (4,9), I (4,10), I (4,11)
- Row 5: U (5,1), U (5,2), U (5,3), I (5,4), I (5,5), U (5,6), U (5,7), A (5,8), A (5,9), I (5,10), I (5,11)
- Row 6: U (6,1), U (6,2), U (6,3), I (6,4), I (6,5), U (6,6), U (6,7), A (6,8), A (6,9), I (6,10), I (6,11)
- Row 7: U (7,1), U (7,2), U (7,3), I (7,4), I (7,5), U (7,6), U (7,7), A (7,8), A (7,9), I (7,10), I (7,11)

薄膜 9 充填于第二电介质膜 8 表面的凹凸中, 而且不需要进行热处理, 因而其表面为完全的平滑面。接下来如图 1(c) 所示, 在卤素气体中通过干蚀刻, 同时蚀刻薄膜 9 全部和第二电介质膜 8 的凸部。也就是说, 薄膜 9 与第二电介质膜 8 的蚀刻速度相同, 因而进行蚀刻时薄膜 9 所具有的表面平整度即使是混有填入第二电介质膜 8 凸部与第二电介质膜 8 凹部的薄膜 9 面的蚀刻面, 也总保持相同平整度, 此外通过蚀刻除去第二电介质膜 8 直到第一电介质膜 7 凸部露出, 可以获得充填于第一电介质膜 7 凸部与第一电介质膜 7 凹部的第二电介质膜 8 制成的、具有平整表面的电容绝缘膜 10。

图 2 是本实施例和表面未平整的现有例电容元件其电气特性的对比图，由图可知，本实施例的电容元件与现有电容元件绝缘耐压相比，(V_{DD})可提高约 10V，相对介电常数(ϵ_r)误差改善为 0.3% 以内，自发极化量(P_r)的误差改善为 0.5% 以内。而且消除表面凹

凸所产生的落差，使得表面平整，还可以防止电容元件上所形成的金属配线 6 断线，因而就能得到具有优异可靠性的半导体器件。

另外，本实施例中是将高电介质或强电介质制成的电介质膜按第一电介质膜 7 与第二电介质膜 8 的结构来形成电容绝缘膜 10 的，但这是因为通过抑制第二电介质膜 8 晶粒成长来抑制电介质膜上面所产生的凹凸落差尽可能小，如能以适当手段控制规定烧结温度下电介质结晶时的结晶生长，使表面凹凸造成的落差减小，也可以只在第 1 电介质膜 7 制成后即制一次电介质膜以后直接进入薄膜 9 形成工序。

此外，本实施例是对蚀刻方法要用卤素气体的干蚀刻工艺来说明的，但即便采用利用酸性液体的湿蚀刻工艺，也可以获得相同效果。

说明书附图

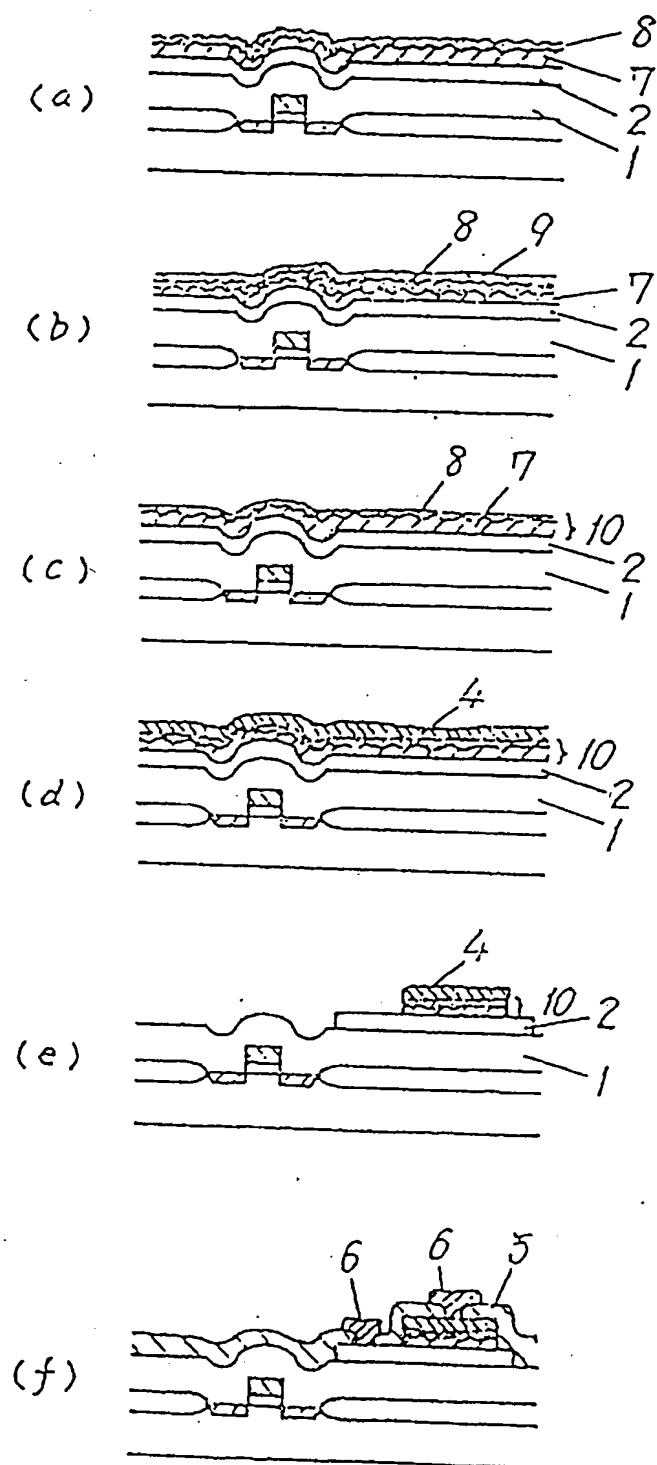


图 1

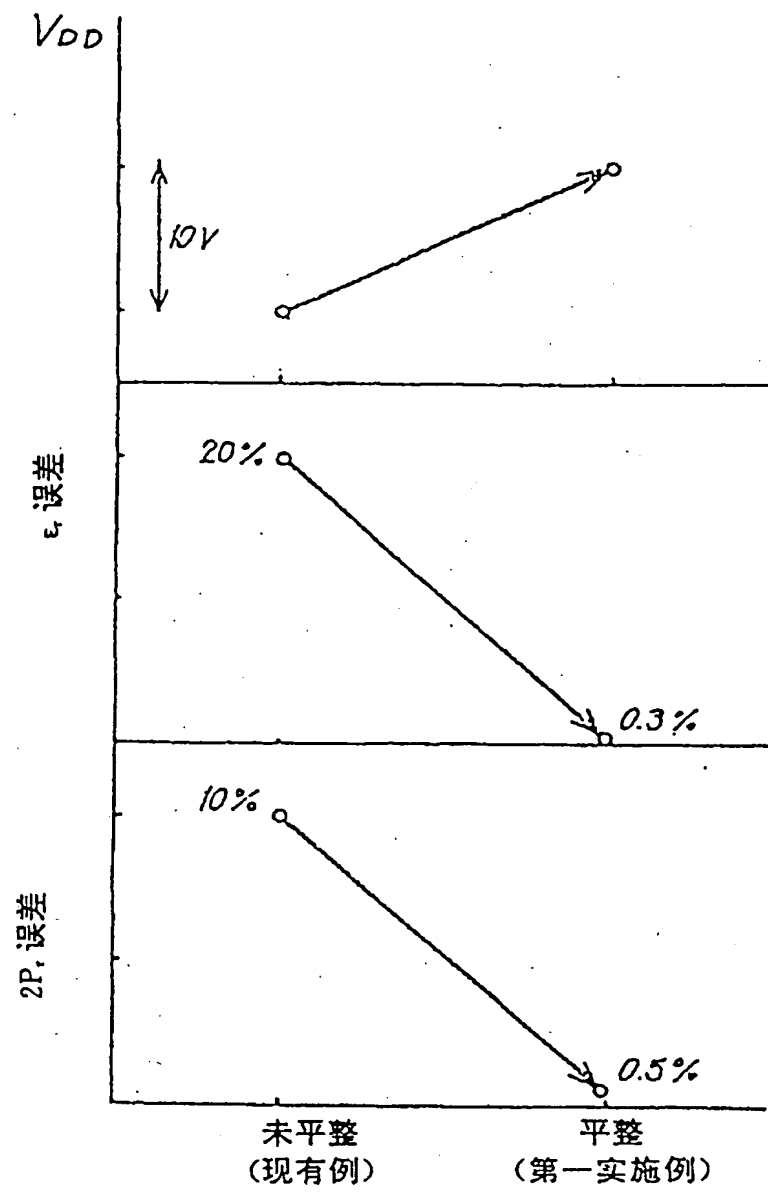


图 2

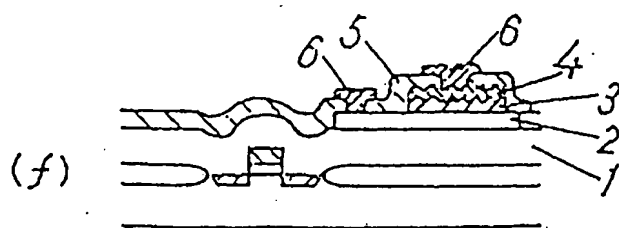
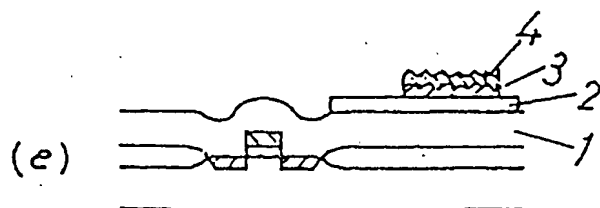
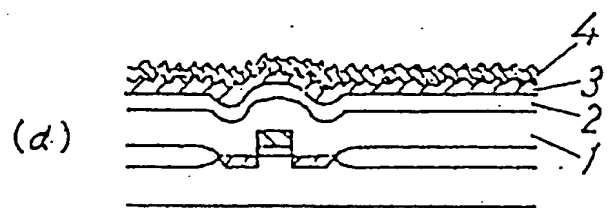
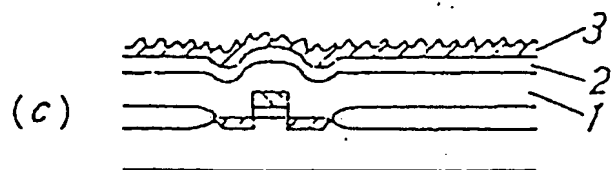
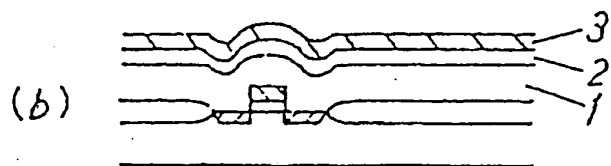
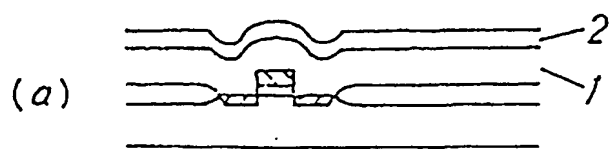


图 3

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.